

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-084285

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

G02F 1/136
G09F 9/30
H01L 29/786

(21)Application number : 05-229166

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.1993

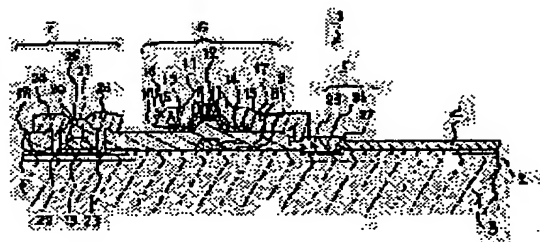
(72)Inventor : NAKAJIMA MITSUO
KAMIMURA TAKAAKI
SUZUKI MITSUAKI
KAWAHISA YASUTO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide the liquid crystal display device having miniaturized auxiliary capacitances of a high capacity value, good opening rates of pixels and high display grade without complicating production processes and without degrading the reliability of resulted TFTs.

CONSTITUTION: Dielectric layers 28 of the auxiliary capacitances 5 are formed on the same layer of the same material as the material of gate insulating films 20 of coplanar type TFTs 7. The film thickness thereof is about 30 to 100nm in the same manner as the film thickness of the gate insulating films 20 and, therefore, the dielectric layers are formed at the film thickness adequate as the dielectric layers of the auxiliary capacitances 5. Since second electrodes 29 are formed integrally with pixel electrodes 4, these electrodes are formable simply by changing patterning. The formation is thus extremely easy and the process matching characteristic is good.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-84285

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
G 0 9 F 9/30	3 3 9	7610-5G		
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数1 O L (全 8 頁)

(21)出願番号 特願平5-229166

(22)出願日 平成5年(1993)9月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中島 充雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 上村 孝明

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 鈴木 光明

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 弁理士 須山 佐一

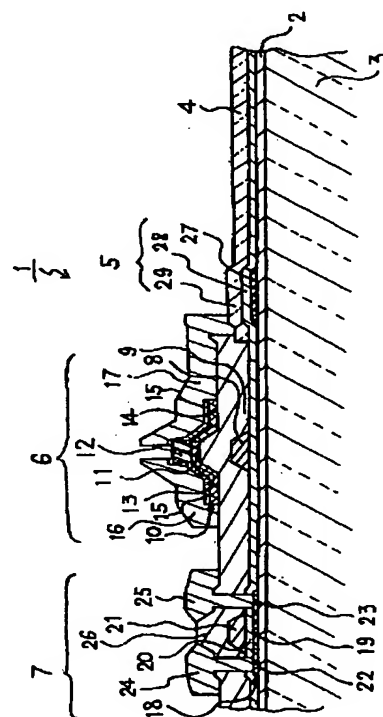
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 製造工程を煩雑化することなく、また得られたTFTの信頼性を低下することなく、小型化された容量値の高い補助容量を有して、画素の開口率が良好で表示品位の高い液晶表示装置を提供する。

【構成】 補助容量5の誘電体層28は、コプラナ型TFT7のゲート絶縁膜20と同材料で同一層に形成されており、その膜厚は前述のゲート絶縁膜20と同様に30～100nm程度の膜厚であるので、補助容量5の誘電体層として好適な膜厚に形成されている。また第2の電極29は画素電極4と一体形成されているので、パターニングの変更だけで形成することができ、極めて簡易かつプロセス整合性も良好である。



(2)

【特許請求の範囲】

【請求項1】 基板上に配列形成され表示領域を形成する画素電極と、

前記画素電極に対する液晶駆動電圧の印加を制御する第1の薄膜トランジスタであって前記基板上にゲート電極とゲート絶縁膜と活性層とがこの順で形成されかつ前記活性層の両側にソース領域、ドレイン領域が形成された第1の薄膜トランジスタと、

前記表示領域の周辺部に配置され、前記第1の薄膜トランジスタを制御する液晶駆動回路であって、前記基板上に形成された活性層と該活性層を覆うように形成されたゲート絶縁膜と前記ゲート絶縁膜上に形成されたゲート電極とがこの順に形成されかつ前記活性層の両側にソース領域、ドレイン領域が形成された第2の薄膜トランジスタを用いて形成された液晶駆動回路と、

前記基板上に第1の電極と誘電体と第2の電極とがこの順で形成され、前記第2の電極が前記画素電極に接続され、前記第1の電極が前記第2の薄膜トランジスタの前記ソース領域或いは前記ドレイン領域と同一材料で同一層に形成され、前記誘電体が前記第2の薄膜トランジスタの前記ゲート絶縁層と同一材料で同一層に形成され、前記第2の電極が前記画素電極に電氣的に接続された補助容量とを具備することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高精細で表示品位の良好な薄型・軽量の液晶表示装置に関する。

【0002】

【従来の技術】プラズマディスプレイパネルや、EL（エレクトロルミネッセンス）ディスプレイパネル、LED（発光ダイオード）ディスプレイパネル、蛍光表示パネル、そして液晶表示装置などの、いわゆるフラットパネルディスプレイデバイスは、表示部の薄型化、軽量化が可能であることから、例えばOA機器やコンピュータ等の情報表示デバイスとして利用されている。

【0003】このようなフラットパネルディスプレイの中でも、特に非晶質（アモルファス）シリコンを用いた薄膜トランジスタ（a-SiTFT）を画素電極に接続して印加電圧を制御（スイッチング）するためのスイッチング素子として、基板上にマトリックス状に配置したアクティブマトリックス型の液晶表示装置は、単純マトリックス型の液晶表示装置よりもさらに表示品位が高く低消費電力である特長を有することから、上記のフラットパネルディスプレイデバイスの中でも特に注目され、その開発が盛んに行なわれている。

【0004】従来の液晶表示装置の補助容量およびスイッチング用TFTの部分の構造を図5に示す。従来の液晶表示装置は、ガラスのような材料からなる透明基板501上に絶縁コート502が形成され、その上にスイッチング用TFT504のゲート電極505および補助容

量506の第1の電極507が形成され、それらを覆うように絶縁材料層508が形成されてスイッチング用TFT504の領域においてはゲート絶縁層509、補助容量506の領域においては誘電体層510がそれぞれ形成されている。そしてその上に画素領域および補助容量506の領域を覆うように透明導電膜からなる画素電極511が形成されている。またスイッチング用TFT504にはドレイン領域512、チャンネル領域513、ソース領域514を有する活性層515が形成され、この活性層515を覆うようにコンタクト層516が形成されて、このコンタクト層516をそれぞれ介してドレイン領域512にはドレイン電極517が接続されソース領域514にはソース電極518が接続されるようにそれぞれ形成されている。そしてチャンネル領域513上を覆うようにチャンネル保護層519が形成されている。また補助容量506には誘電体層510上に画素電極511の一部が重なるように形成されてその部分が第2の電極520として形成されている。

【0005】近年、このような液晶表示装置のさらなる高精細化、高輝度及び高コントラスト化を実現する試みがなされている。その手法の主なものの一つとして、画素の開口率を向上することが有効であることが知られている。

【0006】そのような画素の開口率を向上するためには、ブラックマトリックスと呼ばれる遮光膜（図示省略）から露出させる画素電極511の有効表示面積をさらに大きくすることが必要である。

【0007】あるいは、アクティブマトリックス型液晶表示装置において駆動電圧保持に必要な補助容量506の容量値を変えなく、むしろさらに向上させながら、補助容量506の占有面積を小型化することが必要である。

【0008】このうち、遮光膜の開口率の向上については、すでにかんがりの技術的な開発成果が得られており、これ以上の開口率の向上は、遮光膜の形成時の位置合わせ精度の限界の関係上（製造上の誤差等の点から）すでに限界に達しており、従って補助容量の占有面積をさらに小型化することが有効であると考えられる。

【0009】しかしながら、そのような補助容量506の占有面積を単純に小型化すると、補助容量506の容量値が低下してしまうという問題がある。補助容量506の容量値は補助容量506の電極面積すなわち前記の占有面積に比例するからである。

【0010】そこで、前記の補助容量506の電極面積を小型化しつつその容量値を保つ、あるいは向上するためには、補助容量を形成する誘電体、すなわち前記の第1の電極507と第2の電極520との間に挟持される誘電体層510の厚さを薄くすることが有効であると考えられる。容量値は上述のように電極面積に比例する一方、電極間距離つまり誘電体層510の厚さに反比例す

(3)

3

るからである。

【0011】しかしながら、従来の非晶質シリコンを用いた薄膜トランジスタ（TFT；Thin Film Transistor、以下TFTと略称）スイッチング素子を有するアクティブマトリックス型の液晶表示装置においては、a-SiTFTの形成材料を用いて、そのパターン形成プロセス中でパターンを変更することによって同一材料で同一層に補助容量506の誘電体層510および第1の電極507、第2の電極520を形成していた。従って補助容量506に用いる誘電体層510としてはスイッチング用TFT504のゲート絶縁層509が用いられていたが、この場合に用いられるゲート絶縁層509の厚さは一般に200乃至400nm程度であるため、補助容量506の誘電体層510もこの厚さとなり、容量値の確保が困難であるという問題があった。

【0012】そこで補助容量506に用いる誘電体層510としては、スイッチング用a-SiTFT504のゲート絶縁膜509をそのまま用いるのではなく、そのゲート絶縁膜509を形成する絶縁材料層508を二層構造とし、その下側の一層だけを補助容量506に好適な薄い誘電体層として用いるという手法が提案されている。

【0013】しかしながら、このような方法では、ゲート絶縁膜509（絶縁材料層508）の形成工程が煩雑になるという問題がある。

【0014】また、補助容量506の誘電体層510だけをスイッチング用TFT504の形成材料とは別に形成することも、前記の場合と同様に工程の煩雑化やパターンニングの誤差（パターンずれ）等に起因して、TFTの信頼性を低下させるという問題がある。

【0015】

【発明が解決しようとする課題】このように、従来の液晶表示装置においては、開口率を向上するために補助容量を小型化しようとする、補助容量の容量値が低下してしまうという問題があった。

【0016】そしてそれを解消するために補助容量の誘電体の厚さを薄くしようとする、その製造工程が煩雑化し、さらには製作されたTFTの動作特性や信頼性の低下が生じるという問題があった。

【0017】本発明はこのような問題を解決するために成されたもので、その目的は、製造工程を煩雑化することなく、また得られたTFTの信頼性を低下することなく、小型化された容量値の高い補助容量を有して、画素の開口率が良好で表示品位の高い液晶表示装置を提供することにある。

【0018】

【課題を解決するための手段】上記課題を解決するために、本発明の液晶表示装置は、基板上に配列形成され表示領域を形成する画素電極と、前記画素電極に対する液晶駆動電圧の印加を制御する第1の薄膜トランジスタで

4

あって前記基板上にゲート電極とゲート絶縁膜と活性層とがこの順で形成されかつ前記活性層の両側にソース領域、ドレイン領域が形成された第1の薄膜トランジスタと、前記表示領域の周辺部に配置され、前記薄膜トランジスタを制御する液晶駆動回路であって、前記基板上に形成された活性層と該活性層を覆うように形成されたゲート絶縁膜と前記ゲート絶縁膜上に形成されたゲート電極とがこの順に形成されかつ前記活性層の両側にソース領域、ドレイン領域が形成された第2の薄膜トランジスタを用いて形成された液晶駆動回路と、前記基板上に第1の電極と誘電体と第2の電極とがこの順で形成され、前記第2の電極が前記画素電極に接続され、前記第1の電極が前記第2の薄膜トランジスタの前記ソース領域或いは前記ドレイン領域と同一材料で同一層に形成され、前記誘電体が前記第2の薄膜トランジスタの前記ゲート絶縁層と同一材料で同一層に形成され、前記第2の電極が前記画素電極に電氣的に接続された補助容量とを具備することを特徴としている。

【0019】なお、画素スイッチング用として用いられる上記の第1の薄膜トランジスタのゲート絶縁膜の膜厚としては、逆スタガ型のTFTとして一般的に用いられるような半導体材料を用いる場合、200～400nmに設定することが望ましい。また、液晶駆動回路のTFTのゲート絶縁膜の膜厚としては、コプラナ型のTFTとして一般的に用いられるような半導体材料を用いる場合、30～100nmに設定することが望ましい。このような膜厚に設定することにより、スイッチング用TFT、液晶駆動回路用TFT、補助容量のそれぞれの電氣的特性を良好なものとすることができ、かつ簡易な製造方法によってそれらを実現することができるからである。

【0020】また、上記のスイッチング用の第1の薄膜トランジスタとしては非晶質シリコンを用いたTFTで形成し、上記の液晶駆動回路用の第2の薄膜トランジスタとしては多結晶シリコンを用いたTFTで形成することが、それぞれに要求される動作特性に対して好適なものとなるので望ましい。ただし、それぞれの形成材料としてはこれのみには限定しないことは言うまでもない。

【0021】

【作用】本発明によれば、同一基板上に液晶駆動回路を薄膜トランジスタとして作り込んでいるので、液晶ディスプレイパネルのさらなる小型化、高集積化を実現することができる。

【0022】そして、画素電極に接続される補助容量の誘電体として、膜厚の薄い液晶駆動回路側に設けられたコプラナ型のTFTのゲート絶縁膜を用いているので、従来の製造手法におけるパターンニングのみを変更するだけで本発明に係る補助容量を形成することができ、製造工程の煩雑化を引き起こすことなく厚さの薄い誘電体を得ることができる。従って補助容量の容量値を維持あるいは向上させつつその占有面積を小型化することがで

5

き、画素電極の開口率を向上することができる。しかもそれを簡易な製造方法によって簡易な構造で実現できる。

【0023】また、補助容量の基板寄りの層の第1の電極をコプラナ型の液晶駆動回路のTFTのソース領域及びドレイン領域と同じ層の同じ材料から形成しているので、プロセス整合性が良好で、製造不良の発生を解消し信頼性の高い液晶表示装置を高歩留まりで製造することが可能となる。

【0024】

【実施例】以下、本発明に係る液晶表示装置の一実施例を、図面に基づいて詳細に説明する。

【0025】図1は本発明に係る液晶表示装置の構造を示す図である。この液晶表示装置は、TFT基板1とこれに間隙を有して対向配置される対向電極が形成された対向基板（図示省略）と、これら基板間の間隙に周囲を封止して封入される液晶組成物（図示省略）とからその主要部が構成されている。なお以降の説明では、説明の簡潔化のためにTFT基板1を中心として説明する。

【0026】この液晶表示装置のTFT基板1には、絶縁コート2が表面に形成されたガラス基板3上に画素電極4と、補助容量5と、 $a-Si$ を活性層に用いたスイッチング用の第1のTFTとしての逆スタガ型TFT6と、液晶駆動回路を形成する多結晶シリコンを活性層に用いた、液晶駆動回路を形成する第2のTFTとしてのコプラナ型TFT7とを有する。前記のガラス基板3の他にも、基板の材料としては例えば合成石英基板などを用いることもできる。

【0027】そしてTFT基板1上にマトリックス状に配列された画素電極4同士の間隙に、図示は省略したが走査線及び信号線が形成されて、逆スタガ型TFT6にそれぞれ接続されている。そして上記の画素電極4を除いた各部を覆うように、保護膜（図1においては図示省略）が形成されており、さらにこのようなTFT基板1のほぼ全面を覆うように配向膜（図示省略）が形成されている。

【0028】逆スタガ型TFT6は、ガラス基板3の絶縁コート2上に設けられた導電性の良好な金属膜のような材料からなるゲート電極8と、そのゲート電極8を覆うように設けられたゲート絶縁層9と、その上に設けられた活性層10と、その活性層10のチャネル領域11を覆うように形成されたチャネル保護層12と、このチャネル保護層12を隔てて活性層10のドレイン領域13上及びソース領域14上にそれぞれ形成されたコンタクト層15と、コンタクト層15を介してそれぞれドレイン領域13、ソース領域14上に接続するように形成されたドレイン電極16、ソース電極17とから主要部が構成される逆スタガ構造のTFTである。この逆スタガ型TFT6のゲート絶縁層9の膜厚は200～400nmで、その形成材料としては例えばシリコン酸化膜を用い

6

ている。またゲート電極8の形成材料としては、例えばクロームのような金属材料を用いることができる。また活性層10の形成材料としては $a-Si$ を用いている。

【0029】このような構造の逆スタガ型TFT6は、走査線（図示省略）からゲート電極8に入力される走査パルスに基づいて、ドレイン電極16側に入力された信号電圧のソース電極17側の画素電極4への導通を制御する。

【0030】一方、液晶駆動回路のコプラナ型TFT7は、ガラス基板3の絶縁コート2上に形成された多結晶シリコン（ $p-Si$ ）から形成された活性層18と、その活性層18のチャネル領域19をゲート絶縁膜20を介して覆うように形成されたゲート電極21と、活性層18のドレイン領域22、ソース領域23に接続するようにそれぞれ形成されたドレイン電極24、ソース電極25と、ドレイン電極24及びソース電極25と、層間絶縁膜26とを有するコプラナ型のTFT構造に形成されている。ここで、コプラナ型TFT7の動作特性を良好なものとするために、上記のゲート絶縁膜20の膜厚は30～100nm程度に設定することが望ましい。30nmより薄い場合にはゲート耐圧が極端に低下してTFTの正常な動作が得られなくなる。一方、100nmよりも厚い場合にはイオン注入のプロファイルを所望の形状にすることが實際上困難となってソース領域やドレイン領域の形成ができなくなる。

【0031】そして補助容量5は、ガラス基板3の絶縁コート2上にコプラナ型TFT7の活性層18のドレイン領域22、ソース領域23と同一材料で同一層に形成された第1の電極27と、コプラナ型TFT7のゲート絶縁膜20と同一材料で同一層に形成された誘電体層28と、この誘電体層28を覆うように形成された透明導電膜からなる第2の電極29とでその主要部が形成されている。その第2の電極29は画素電極4を延長させて一体に形成したもので、逆スタガ型TFT6のソース電極17に接続されるとともに、画素電極4と一体形成されて電氣的に接続されている。

【0032】補助容量5の第1の電極27は、コプラナ型TFT7のドレイン領域22やソース領域23と同様に、高抵抗な $p-Si$ 材料にドーパント（不純物）を添加することで低抵抗化させて、良好な導電性を得ている。

【0033】また補助容量5の誘電体層28は、コプラナ型TFT7のゲート絶縁膜20と同材料で同一層に形成されており、その膜厚は前述のゲート絶縁膜20と同様に30～100nm程度の膜厚であるので、補助容量5の誘電体層として好適な膜厚に形成されている。また第2の電極29は画素電極4と一体形成されているので、パターンニングの変更だけで形成することができ、極めて簡易かつプロセス整合性が良好である。

【0034】上記の活性層18のドレイン領域22、ソ

7

ース領域 23、第 1 の電極 27 に添加する不純物としては、P (燐) や B (ボロン) などをドーパントとして用いることができる。

【0035】また、コプラナ型 TFT7 の活性層 18 にレーザ光線を照射してアニール処理を施してある。このようにして活性層 18 の結晶粒径の成長を促進して、TFT としての良好な動作特性を得ている。

【0036】また、逆スタガ型 TFT6 のゲート絶縁層 9 とコプラナ型 TFT の層間絶縁膜 26 とは同一材料から同一層で形成されたもので、 SiO_x または SiN_x 等から形成されている。その形成方法としては、ECR-CVD 法、プラズマ CVD 法、光 CVD 法等によって形成することができる。このように逆スタガ型 TFT6 のゲート絶縁層 9 とコプラナ型 TFT7 の層間絶縁膜 26 とを一度に形成することができるので、本発明に係る液晶表示装置はそのパターンニングのパターンのみを変更することで製作することができるのでプロセス整合性が良好で、工程の煩雑化を引き起こすことなく実現することができる。

【0037】また、逆スタガ型 TFT6 のゲート電極 8 とコプラナ型 TFT7 のゲート電極 21 とは同一材料で同一層に形成されている。その材料としては、例えば Mo-Ta 合金、Al、Ta、Al-Ta 合金、W あるいはそれらのシリサイド等を好適に用いることができる。あるいはその表面に陽極酸化等を用いて酸化処理を施してもよい。このようにゲート電極 8 とゲート電極 21 とを同一材料から同一層に形成しているので製造プロセスの煩雑化を引き起こすことなく、簡易に製造することができる。

【0038】また従来の液晶表示装置の補助容量のように逆スタガ型 TFT のゲート絶縁層の形成材料を用いて誘電体層を形成する場合では、補助容量の誘電体層の膜厚を十分に薄くすることができず、補助容量としての容量値を大きくすることが実際上不可能であった。このような従来の場合、逆に補助容量の誘電体層として好適な膜厚を得ようとすると、ゲート絶縁層としての膜厚としては今度は薄くなりすぎて、TFT として十分良好な動作特性が得られなかった。しかしこのような従来の問題は、本発明によれば補助容量の誘電体層を十分薄くすることができるので解消することができる。

【0039】次に、本発明に係る液晶表示装置の TFT 基板の製造方法を述べる。図 2、図 3、図 4 は、その製造工程を示す図である。

【0040】表面に絶縁コート 2 が形成されたガラス基板 3 の表面上に、Si 膜をプラズマ CVD 法、あるいは LPCVD 法等によって形成し、この Si 膜をパターンニングしてこの 1 つの Si 膜から同じ層にコプラナ型 TFT7 の活性層 18 及び補助容量 5 の第 1 の電極 27 をパターン形成する (図 2 (a))。

【0041】次いで、それらを含む基板上ほぼ全体を覆

(5)

8

うように、コプラナ型 TFT7 のゲート絶縁膜 20 及び補助容量 5 の誘電体層 28 となる絶縁膜 (例えば SiO_x 膜) 201 を、ECR-CVD 法、プラズマ CVD 法等により形成する。そして前述したコプラナ型 TFT7 の活性層 18 及び補助容量 5 の第 1 の電極 27 にエキシマレーザ等の高エネルギービームを照射してアニール処理を施し結晶化 (単結晶もしくは多結晶) する (図 2 (b))。

【0042】続いて、逆スタガ型 TFT6 のゲート電極 8 及びコプラナ型 TFT7 のゲート電極 21 を、例えば Mo-Ta 合金をスパッタ法等により形成した膜をケミカルドライエッチング等によりパターンニングして形成する。続いてコプラナ型 TFT7 のゲート電極 21 をセルフアラインマスクとして用いて活性層 18 に P (燐)、B (ボロン) 等の不純物を例えばイオン打ち込み法等により投入してその部分を低抵抗化し、ドレイン領域 22 及びソース領域 23 を形成する。またゲート電極 21 で被覆された部分にはチャネル領域 19 が形成される。一方、このとき補助容量 5 の第 1 の電極 27 に対しても前記の P あるいは B 等の不純物を投入して低抵抗化し、補助容量 5 の電極として好適な導電性を得る (図 2 (c))。このとき、ソース領域、ドレイン領域の不純物活性化及び補助容量電極の好適な導電性を得るためには、エキシマレーザ等の高エネルギービームを照射することが望ましい。

【0043】続いて ITO のような透明導電膜を成膜しこれを画素領域及び補助容量を覆うようなパターンにパターンニングして、画素電極 4 を形成する (図 2 (d))。

【0044】次に、コプラナ型 TFT7 の層間絶縁膜 26 及び逆スタガ型 TFT6 のゲート絶縁層 9 を形成するための絶縁材料層 300 を、例えば SiO_x 膜あるいは SiN_x 膜あるいはそれらの積層膜等の材料を用いて同じ層に、前述のゲート電極 21、ゲート電極 8、画素電極 4 等を含む基板上ほぼ全面を覆うように形成する。さらにこの SiO_x などからなる絶縁材料層 300 の上に、高抵抗半導体層を例えばプラズマ CVD 法、光 CVD 法等により成膜する。そしてチャネル保護層 12 を形成し、さらにその上を含む前記の高抵抗半導体層上を覆うように低抵抗半導体層をプラズマ CVD 法、光 CVD 法等により形成し、これらの高抵抗半導体層及び低抵抗半導体層を島状にパターンニングして、活性層 10 及びその上にコンタクト層 15 を形成する。

【0045】そしてコンタクトホール 301、302 を絶縁材料層 300 に穿設してドレイン領域 22、ソース領域 23 を露出させるとともに、画素電極 4 を表面に露出させるように画素電極 4 上の絶縁材料層 300 を除去しておく (図 2 (f))。

【0046】続いて、コプラナ型 TFT7 のドレイン領域 22、ソース電極 23 にそれぞれ接続するようにドレ

(6)

9

イン電極 2 4、ソース電極 2 5を形成する。またこのとき同じ成膜及びパターンニング工程で、逆スタガ型 TFT 6 のドレイン領域 1 3、ソース領域 1 4にコンタクト層 1 5を介してそれぞれ接続するようにドレイン電極 1 6、ソース電極 1 7を形成する。またこのときチャンネル保護層 1 2 上のコンタクト層 1 5をエッチング除去して分離しておく。これらのドレイン電極 2 4、ソース電極 2 5、ドレイン電極 1 6、ソース電極 1 7は、同じ金属膜（例えば Mo、Al 等）をスパッタ法等により成膜しこれをパターンニングして形成することができる（図 2（g））。

【0047】そして、コプラナ型 TFT 7 及び逆スタガ型 TFT 6 はほぼ全体を覆うように、例えば SiN_x 膜、 SiO_x 膜、あるいはそれらの積層膜等をプラズマ CVD 法、光 CVD 法等により成膜し、これをパターンニングして、保護膜 4 0 0 を形成する（図 2（h））。

【0048】このようにして本発明に係る液晶表示装置の TFT 基板 1 を製作することができる。そしてこのような TFT 基板 1 と対向電極が形成された対向基板（図示省略）とを間隙を有して対向配置し、基板周囲を封止しその基板間隙に液晶組成物（図示省略）を注入・挟持させて、本発明に係る液晶表示装置が完成する。

【0049】このようにして製造された本発明に係る液晶表示装置は、コプラナ型 TFT 7 及び逆スタガ型 TFT 6 の動作特性が良好で、かつ補助容量 5 はその誘電体層 2 8 を薄く形成することができるので、電気容量値を高くすることができ、かつ補助容量 5 の占有面積をさらに小型化することができる。

【0050】また本発明によれば補助容量 5 の第 1 の電極 2 7 として前記のコプラナ型 TFT 7 の活性層 1 8 と同じ材料を同じ層に用いて形成しているのので、簡易かつ高品質に形成することができる。

【0051】なお以上の実施例では、スイッチング用の逆スタガ型 TFT 6 として a-Si TFT を用いるとともに、液晶駆動回路用のコプラナ型 TFT 7 として多結晶シリコン TFT を用いる場合について述べたが、本発明はこれのみに限定せず、その他の半導体材料を用いた TFT にも本発明は適用可能である。

【0052】コプラナ型 TFT 7 のゲート絶縁膜 2 0 と補助容量 5 の誘電体層 2 8 とを同じ材料で同じ層に形成するが、このとき TFT 7 のゲート絶縁膜 2 0 としての特性と補助容量 5 の誘電体層 2 8 としての膜厚の薄さと

10

の両立が可能な材料を好適に用いることができる。

【0053】また、スイッチング用の TFT（上記実施例では逆スタガ型 TFT 6）は、自己整合型（セルフアライン）で形成した TFT を用いることもできる。また、上記のコプラナ型 TFT 7 としては、ゲート電極 2 1 を各 TFT ごとに 2 つ有するいわゆるダブルゲート構造の TFT や、ドレイン領域に低濃度で不純物を添加した LDD 構造の TFT を用いることなどもできる。

【0054】その他、本発明の要旨を逸脱しない範囲で本発明に係る液晶表示装置の各構成部位の形成材料の変更が種々可能であることは言うまでもない。

【0055】

【発明の効果】以上、詳細な説明で明示したように、製造工程を煩雑化あるいは得られた TFT の信頼性を低下することなく、小型化された容量値の高い補助容量を有して、画素の開口率が良好で表示品位の高い液晶表示装置を提供することにある。

【図面の簡単な説明】

【図 1】本発明に係る液晶表示装置を示す図である。

20 【図 2】本発明に係る液晶表示装置の製造工程を示す図である。

【図 3】本発明に係る液晶表示装置の製造工程を示す図である。

【図 4】本発明に係る液晶表示装置の製造工程を示す図である。

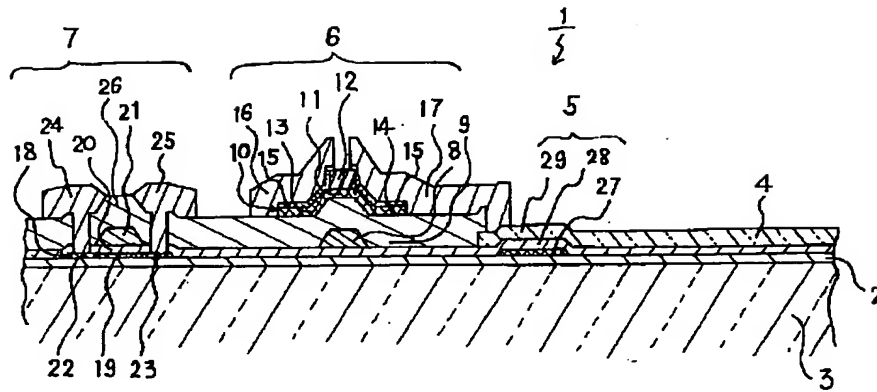
【図 5】従来の液晶表示装置を示す図である。

【符号の説明】

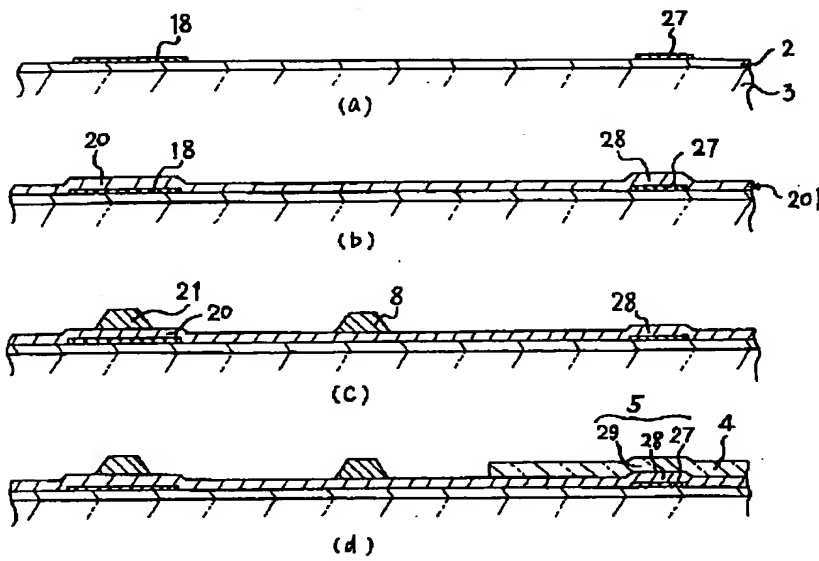
- 1 …… TFT 基板
- 2 …… 絶縁コート
- 30 3 …… ガラス基板
- 4 …… 画素電極
- 5 …… 補助容量
- 6 …… 逆スタガ型 TFT
- 7 …… コプラナ型 TFT
- 8 …… ゲート電極
- 9 …… ゲート絶縁層
- 10 …… 活性層
- 11 …… チャンネル領域
- 27 …… 第 1 の電極
- 40 28 …… 誘電体層
- 29 …… 第 1 の電極

(7)

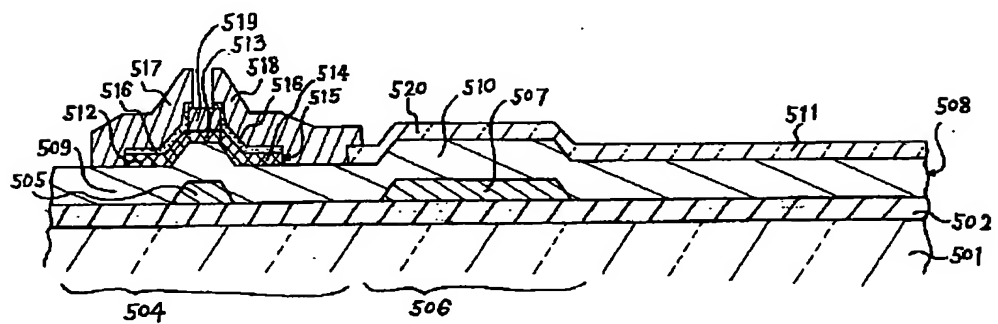
【図1】



【図2】

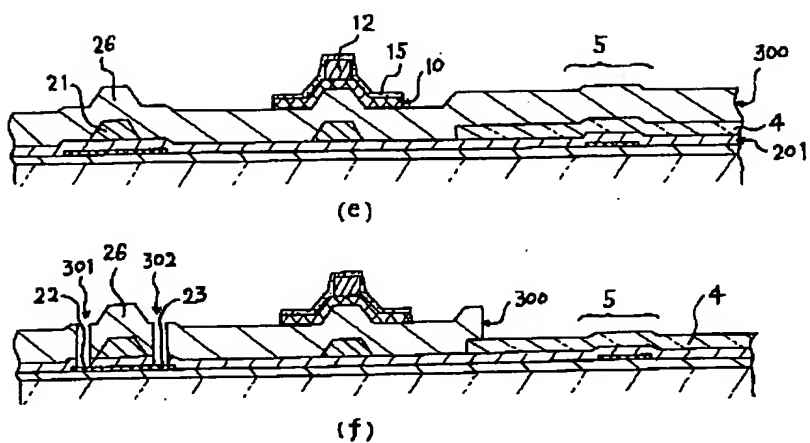


【図5】

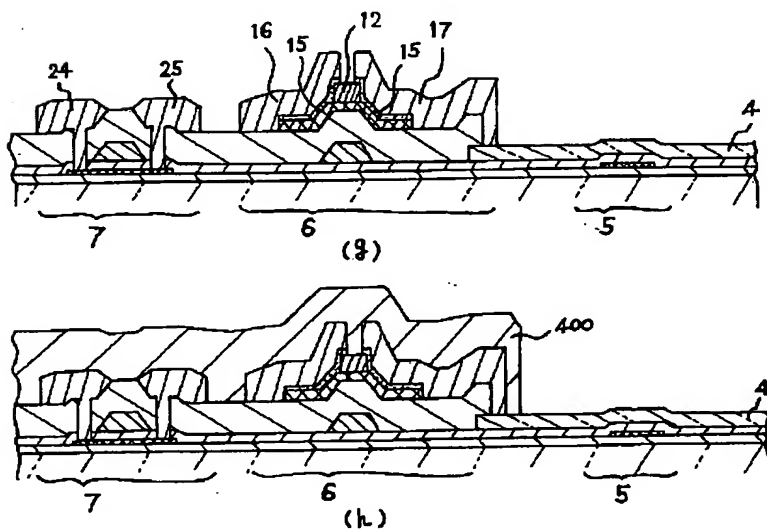


(8)

【図3】



【図4】



フロントページの続き

(72)発明者 川久 慶人
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内